

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-117171

⑪ Int. Cl.<sup>3</sup>  
G 11 C 11/14  
19/08

識別記号  
庁内整理番号  
7341-5B

⑬ 公開 昭和57年(1982)7月21日

発明の数 1  
審査請求 有

(全 3 頁)

⑭ 磁気バブルメモリ素子

⑯ 発明者 天津正史

川崎市中原区上小田中1015番地  
富士通株式会社内

⑰ 特 願 昭55-173090

⑱ 出 願 昭55(1980)12月10日

⑲ 出 願 人 富士通株式会社

⑳ 発 明 者 柳瀬武泰

川崎市中原区上小田中1015番地

川崎市中原区上小田中1015番地  
富士通株式会社内

㉑ 代 理 人 弁理士 青木朗 外 3 名

明 細 書

1. 発明の名称

磁気バブルメモリ素子

2. 特許請求の範囲

1. パーマロイ等の軟磁性パターンを用いてバブル磁区の駆送制御が行なわれ、情報を格納する複数のマイナーループと、一対の読出し及び書き込みラインと、駆送パターンと同一材質及び膜厚を有した軟磁性体パターンに検出電流を流して磁気抵抗効果を利用しバブル磁区の検出を行なうバブル磁区検出器とを具備してバブルメモリブロックを構成した磁気バブルメモリ素子において、バブル磁区検出器は、バブル磁区検出用の軟磁性体パターンを3段連続して配置したものであることを特徴とする磁気バブルメモリ素子。

2. 特許請求の範囲第1項記載の磁気バブルメモリ素子において、バブルメモリブロックを2個組合わせ、一方のブロックを奇数ブロックとし、他方のブロックを偶数ブロックとしたことを特徴とする磁気バブルメモリ素子。

3. 発明の詳細な説明

本発明は磁気バブルメモリ素子の改良に関する。従来より、磁気バブルメモリ装置に用いられる磁気バブルメモリ素子には第1図に示す如き奇数偶数ブロックを持つ素子構成のものがある。これについて簡単に説明すると、1はガドリニウム・ガリウム・ガーネット等の非磁性単結晶板の上に液相エピタキシャル成長法により磁性ガーネットの薄膜を形成した基板であり、この基板の上に絶縁材料のスペーサを介してバブル発生器2を有する書き込みライン3、スワップゲート又はトランスファゲート4、情報格納用の複数のマイナーループ5、レプリケータ6、読出しライン7、バブル検出器8等を有するブロックが形成されている。このブロックはマイナーループ5の間隔がパターン形成上書き込みライン3及び読出しライン7の2ビット毎であるのでバブルを駆動する回転磁界の2周期に1回の割合で書き込み、読出しが行なわれる。従って高密度素子では図の如くブロックを2個並べて形成し、Aブロックを奇数ブロック、Bブ

ックを偶数ブロックとして交互に動作せしめるようになっている。そのため奇数ブロックAの書き込みライン3の長さをmステップ、読出しライン7の長さをnステップとし、偶数ブロックBの書き込みライン3の長さはn+1ステップ、読出しライン7の長さはm-1ステップとしている。このようなバブルメモリ素子において、そのパターン数を減らすことによりフォトマスクのコストを下げ、更にその歩留り向上をはかるためフォトマスクには片ブロック分のみをパターンニングし、実際の素子は、それをウェーハ上に繰返し露光した後、隣り合った各2ブロックで奇数偶数ブロック構造を構成する方法がとられている。ところが本方式の素子は第1図に示したようにマイナーループ5の出口のレプリケータ6からバブル検出器8までのステップ数を両ブロックで1ステップずらしておく必要があり、そのため従来より各ブロックのバブル検出器8の構成として図に示したように、2段連続した検出パターンD<sub>1</sub>、D<sub>2</sub>を用意しておき、奇数ブロックA、偶数ブロックBを使い分ける方

法がとられている。ところがこの方式では両ブロックの検出器の抵抗偏差が大きく $\frac{8}{N}$ が極めて悪い。また他の方法として第2図に示すように、前記D<sub>1</sub>、D<sub>2</sub>に加えダミーの検出パターンDd<sub>1</sub>、Dd<sub>2</sub>を配置し、各ブロックに対しD<sub>1</sub>とDd<sub>1</sub>、D<sub>2</sub>とDd<sub>2</sub>のようにペアでノイズキャンセルを行なわせることがある。この方法ではD<sub>1</sub>とDd<sub>1</sub>、D<sub>2</sub>とDd<sub>2</sub>のペアに対してその抵抗偏差が小さくなり $\frac{8}{N}$ が良くなるが、検出器手前のバブル磁区により発生する隣接磁界によるノイズ(クロストークノイズ)が問題となる場合がある。本発明はこれらの問題を解決するために案出されたものである。

このため本発明においては、パーマロイ等の軟磁性パターンを用いてバブル磁区の転送制御が行なわれ、情報を格納する複数個のマイナーループと、一対の読出し及び書き込みラインと、転送パターンと同一材質及び膜厚を有する軟磁性パターンに検出電流を流して磁気抵抗効果を利用し、バブル磁区の検出を行なうバブル磁区検出器とを具備してバブルメモリブロックを構成した磁気バブルメ

モリ素子において、バブル磁区検出器は、バブル磁区検出用の軟磁性体パターンを3段連続して配置したものであることを特徴とするものである。

以下添付図面に基づいて本発明の実施例につき詳細に説明する。

第3図に実施例のブロックの構成図を示す。本実施例は磁気バブル発生器2及び2'を有する書き込みライン3に、スワップゲート又はトランスファゲート4を介して複数個のマイナーループ5が接続され、このマイナーループ5にレプリケータ6を介して読出しライン7が接続される。この読出しライン7にはバブル磁区検出器8が接続されている。このバブル磁区検出器8には本発明の要点であるバブル磁区検出用の軟磁性パターンD<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>が連続して3段に形成されている。なお磁気バブル発生器2と2'とは1ビットずらして書き込みライン3に接続されている。

このように構成されたブロックの作用を第4図を用いて説明する。第4図は第3図のブロックを基板1の上に2個並べて形成し、一方のブロック

Aを奇数ブロックとし、他方のブロックBを偶数ブロックとしたものである。そしてブロックAは磁気バブル発生器2を用い+1のマイナーループ5のスワップゲート又はトランスファゲート4までの書き込みライン3の長さをmステップとし、また読出しライン7は磁気バブル検出器8の軟磁性体パターンD<sub>2</sub>に接続して、+1のマイナーループのレプリケータ6より軟磁性体パターンD<sub>2</sub>までをmステップとしており、これに対してブロックBは磁気バブル発生器2'を用い+0のマイナーループのスワップゲート又はトランスファゲート4までの書き込みライン3の長さをn+1ステップとし、読出しライン7は磁気バブル検出器8の軟磁性体パターンD<sub>1</sub>に接続して、+0のマイナーループ5のレプリケータ6より軟磁性体パターンD<sub>1</sub>までをm-1ステップとしたものである。従ってブロックAとブロックBとは磁気バブル発生器より磁気バブル検出器の軟磁性体パターンまでのステップ数は同一になり、かつマイナーループへの書き込み及び読出しはブロックAとブロックBとが交互に行なわれ

ることになる。

そしてパブル磁区検出器の出力は第5図に示す如き検出方法で検出される。図において $R_1$ 及び $R_2$ は各ブロックのベアとなる軟磁性パターンの抵抗を示したもので、第4図に示したブロックAにおいては $D_2$ 、 $D_3$ を、ブロックBにおいては $D_1$ 、 $D_2$ に相当する。また $R_3$ 及び $R_4$ は外付抵抗であり $R_1$ 及び $R_2$ と共にブリッジ回路を形成している。この回路によるパブル磁区の検出は、パブル磁区が検出器を通過する際 $R_1$ 或いは $R_2$ が変化するという磁気抵抗効果を利用し、その際ブリッジ回路に生ずる非平衡電圧が出力として検知される。その際出力電圧は $(R_1 - R_2)$ に比例する差動出力であるため $R_1$ 及び $R_2$ の抵抗偏差が小さいほど同相ノイズのキャンセルが良くなり $\frac{B}{N}$ が向上する。すなわち第4図に示した如く、隣接した2つの検出用軟磁性パターンをベアとして用いるサイドバイサイド方式の本実施例ではパターン幅等の場所的変動に起因する抵抗偏差が小さく、 $\frac{B}{N}$ が良く、更に前述したクロストークノイズのキャンセル

グに対しても、第1図及び第2図に示した従来方式に比べ格段に優れたものとなる。

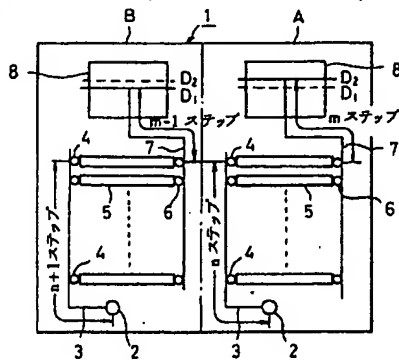
以上説明した如く本発明の磁気パブルメモリ素子はそのパブル磁区検出器に3段に並べて形成した軟磁性体パターンを用いることにより $\frac{B}{N}$ が良く、かつクロストークノイズを減少せしめることを可能としたものであって磁気パブルメモリ装置の信頼性の向上に寄与するものである。

#### 4 図面の簡単な説明

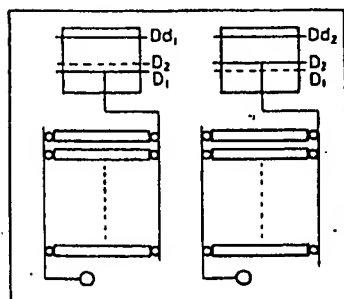
第1図および第2図は従来の磁気パブルメモリ素子の構成図、第3図は本発明にかかる実施例の磁気パブルメモリ素子のブロック構成図、第4図は本発明にかかる実施例の磁気パブルメモリ素子の構成図、第5図はパブル磁区検出回路の回路図である。

1…基板、2、2a…パブル磁区発生器、3…書込ライン、4…スワップゲート又はトランスファゲート、5…マイナーループ、6…レプリケータ、7…読出ライン、8…パブル磁区検出器、 $D_1$ 、 $D_2$ 、 $D_3$ …パブル磁区検出器用軟磁性体パターン。

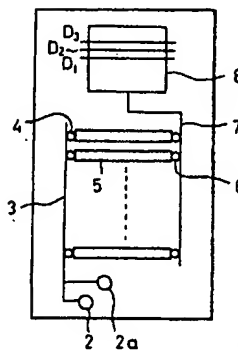
第1図



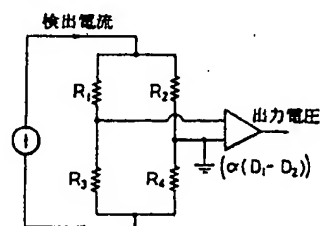
第2図



第3図



第5図



第4図

